

# ПРОГРЕСИВНІ ІНФОРМАЦІЙНІ ТЕХНОЛОГІЇ

## ПРОГРЕССИВНЫЕ ИНФОРМАЦИОННЫЕ ТЕХНОЛОГИИ

### PROGRESSIVE INFORMATION TECHNOLOGIES

УДК 004.2

Бабаков Р. М.

Канд. техн. наук, доцент, доцент кафедры прикладной механики и компьютерных технологий Донецкого национального университета, г. Винница, Украина

#### ИССЛЕДОВАНИЕ АППАРАТУРНЫХ ЗАТРАТ В МИКРОПРОГРАММНОМ АВТОМАТЕ С ОПЕРАЦИОННЫМ АВТОМАТОМ ПЕРЕХОДОВ

**Актуальность.** Решена задача определения аппаратурных затрат в логической схеме микропрограммного автомата с канонической структурой и микропрограммного автомата с операционным автоматом переходов и различными способами формирования кодов операций переходов.

**Цель работы** – получение аналитических выражений для определения аппаратурных затрат в исследованных структурах микропрограммных автоматов в зависимости от параметров автомата при использовании элементного базиса программируемых логических интегральных схем.

**Метод.** На основании результатов VHDL-моделирования получены экспериментальные значения аппаратурных затрат в типовых функциональных узлах цифровых устройств. В качестве единицы измерения аппаратурных затрат используются LUT-элементы, являющиеся регулярными структурными элементами ПЛИС типа FPGA. Среди типовых функциональных узлов исследованы комбинационная логическая схема, мультиплексор, схема арифметико-логической операции и регистр. Путем аппроксимации экспериментальных данных получены аналитические выражения для определения аппаратурных затрат в типовых функциональных узлах в зависимости от параметров узлов. Путем замены параметров типовых функциональных узлов параметрами структурных блоков исследованных структур микропрограммных автоматов выполнено преобразование аналитических выражений для определения аппаратурных затрат в типовых функциональных узлах в аналогичные выражения для отдельных структурных блоков автоматов.

**Результаты.** Для каждой из исследованных структур микропрограммных автоматов получены аналитические выражения для определения суммарных аппаратурных затрат в логической схеме автомата.

**Выводы.** Полученные аналитические выражения учитывают структурные особенности автоматов Мили и Мура и могут быть использованы для решения задачи определения области эффективного применения структур микропрограммного автомата с операционным автоматом переходов.

**Ключевые слова:** микропрограммный автомат, операционный автомат переходов, аппаратурные затраты, VHD-моделирование, аналитическая аппроксимация.

#### НОМЕНКЛАТУРА

МПА – микропрограммный автомат;  
СФП – схема формирования переходов;  
РП – регистр памяти;  
СФМО – схема формирования микроопераций;  
ОАП – операционный автомат переходов;  
HDL – hardware description language, язык описания аппаратуры;  
ПЛИС – программируемая логическая интегральная схема;  
 $T$  – код текущего состояния автомата;  
 $X$  – множество входных сигналов автомата;  
 $F$  – функция переходов автомата;

$D_r$  – отдельный выходной сигнал СФП;  
 $Y$  – множество микроопераций, формируемых автоматом;  
 $U_k$  – каноническая структура МПА;  
 $U_1$  – структура МПА с ОАП, в которой операция переходов сопоставляется отдельному переходу автомата;  
 $U_2$  – структура МПА с ОАП, в которой операция переходов сопоставляется отдельному состоянию автомата;  
 $Z$  – код операции переходов;  
 $Z$  – структурный блок МПА с ОАП, формирующий код операции переходов  $Z$ ;  
 $OC$  – операционная часть;  
 $D$  – код следующего состояния МПА с ОАП;

$O_i$  – произвольная операция переходов;  
 $H^{U_K}$  – затраты аппаратуры в структуре МПА  $U_K$ ;  
 $H^{U_1}$  – затраты аппаратуры в структуре МПА  $U_1$ ;  
 $H^{U_2}$  – затраты аппаратуры в структуре МПА  $U_2$ ;  
 $H_{СФП}^{U_K}$  – затраты аппаратуры в блоке СФП структуры  $U_K$ ;  
 $H_{РП}^{U_K}$  – затраты аппаратуры в блоке РП структуры  $U_K$ ;  
 $H_{СФМО}^{U_K}$  – затраты аппаратуры в блоке СФМО структуры  $U_K$ ;  
 $H_{ОЧ}^{U_1}$  – затраты аппаратуры в блоке ОЧ структуры  $U_1$ ;  
 $H_{РП}^{U_1}$  – затраты аппаратуры в блоке РП структуры  $U_1$ ;  
 $H_Z^{U_1}$  – затраты аппаратуры в блоке Z структуры  $U_1$ ;  
 $H_{СФМО}^{U_1}$  – затраты аппаратуры в блоке СФМО структуры  $U_1$ ;  
 $H_{ОЧ}^{U_2}$  – затраты аппаратуры в блоке ОЧ структуры  $U_2$ ;  
 $H_{РП}^{U_2}$  – затраты аппаратуры в блоке РП структуры  $U_2$ ;  
 $H_Z^{U_2}$  – затраты аппаратуры в блоке Z структуры  $U_2$ ;  
 $H_{СФМО}^{U_2}$  – затраты аппаратуры в блоке СФМО структуры  $U_2$ ;  
LUT – look-up table, таблица поиска;  
КЛС – комбинационная логическая схема;  
 $H_{КЛС}$  – затраты аппаратуры на реализацию системы булевых уравнений;  
 $H_{\&}$  – затраты аппаратуры на реализацию конъюнктивной части системы булевых уравнений;  
 $H_{\vee}$  – затраты аппаратуры на реализацию конъюнктивной части системы булевых уравнений;  
 $t$  – количество уравнений в системе булевых уравнений;  
 $q$  – количество различных термов в системе булевых уравнений;  
 $s$  – количество различных переменных в системе булевых уравнений;  
 $l$  – количество термов в одном уравнении системы булевых уравнений;  
 $k_1$  – коэффициент минимизации системы булевых уравнений;  
 $r$  – разрядность типового цифрового функционального узла;  
 $H_{МХ}$  – затраты аппаратуры на реализацию мультиплексора;  
 $d$  – количество каналов мультиплексора;  
 $H_{ОП}$  – затраты аппаратуры на реализацию операции переходов;  
 $k_2$  – коэффициент масштабирования величины  $H_{ОП}$ ;  
 $H_{RG}$  – затраты аппаратуры на реализацию регистра;  
 $M$  – количество состояний автомата;

$R$  – разрядность кода состояния автомата;  
 $B$  – количество переходов автомата;  
 $N_d$  – количество комбинационных схем в операционной части ОАП;  
 $k_3$  – доля переходов, реализуемых с помощью операций переходов, от общего числа переходов  $B$ ;  
 $k_4$  – доля условных переходов от общего числа переходов  $B$ ;  
 $k_5$  – средняя доля термов в одном уравнении системы булевых уравнений от общего числа термов, используемых в системе;  
 $k_6$  – коэффициент эффективности использования базиса блочной памяти ПЛИС FPGA по отношению к базису LUT-элементов.

## ВВЕДЕНИЕ

Для координации работы узлов цифровых вычислительных систем используется устройство управления, одной из форм реализации которого является микропрограммный автомат [1, 2]. При этом актуальной научной проблемой является разработка новых оптимизированных структур МПА, характеризующихся в общем случае меньшими аппаратурными затратами в логической схеме автомата по сравнению с известными структурами. При использовании аппаратурных затрат в качестве критерия оптимальности возникает задача исследования аппаратурных затрат в логической схеме МПА, позволяющая провести сравнительный анализ эффективности оптимизированных структур МПА по сравнению с канонической структурой.

Одним из факторов при выборе подхода к исследованию аппаратурных затрат является элементный базис, используемый при реализации логической схемы автомата. В настоящее время для этих целей применяется базис ПЛИС – FPGA, CPLD или ASIC. Данный базис поддерживается рядом современных САПР, использующих для определения аппаратурных затрат модели цифровых устройств, реализованные на одном из языков описания аппаратуры (HDL). HDL-моделирование сегодня является одним из этапов проектирования цифровых устройств и дает возможность не только определить затраты аппаратуры, но и проверить логическую правильность работы схемы устройства.

Объектом исследования в работе выступает микропрограммный автомат с операционным автоматом переходов – МПА, в структуре которого используется представление функции переходов в виде множества частичных функций. Предметом исследования являются аппаратурные затраты в логической схеме МПА с операционным автоматом переходов. Цель работы состоит в экспериментальном определении численных значений аппаратурных затрат в логической схеме МПА с ОАП и МПА с канонической структурой при различных значениях параметров автомата, а также в их последующей аналитической аппроксимации. Получение аналитических выражений для определения аппаратурных затрат в исследуемых структурах МПА позволит в дальнейшем определить эффективность оптимизированных структур МПА по сравнению с известными каноническими струк-

турами. Это, в свою очередь, даст возможность определить область эффективного применения МПА с операционным автоматом переходов, выражаемую совокупностью диапазонов значений параметров автомата.

**1 ПОСТАНОВКА ЗАДАЧИ**

Основной научной задачей, решаемой в данной работе, является исследование зависимости аппаратных затрат в логической схеме микропрограммного автомата с операционным автоматом переходов от параметров автомата. В качестве метода исследования используется моделирование отдельных структурных блоков МПА на языке VHDL в САПР Xilinx ISE, позволяющее получить экспериментальные значения аппаратных затрат для выбранных серий ПЛИС. Для экспериментально полученных наборов данных исследуется возможность их аппроксимации аналитическими выражениями, позволяющими определить затраты аппаратуры в зависимости от параметров автомата.

**2 ОБЗОР ЛИТЕРАТУРЫ**

На рис. 1 приведена каноническая структура микропрограммного автомата [2]. Структура образована следующими блоками:

– СФП: формирует множество сигналов  $D_r \in \Phi$ , реализуя, таким образом, функцию переходов автомата

$$\Phi = \Phi(T, X). \tag{1}$$

– РП: служит для хранения состояния автомата, реализуется на триггерах D-типа;

– СФМО: формирует множество микроопераций  $y_n \in Y$ , реализуя тем самым функцию выходов МПА, определяемую выражением (2) в случае автомата Мили и выражением (3) в случае автомата Мура:

$$Y = Y(T, X), \tag{2}$$

$$Y = Y(T). \tag{3}$$

При наличии на рис. 1 связи, обозначенной пунктиром, данная структура соответствует автомату Мили, при отсутствии связи – автомату Мура. Условимся в рамках данной работы обозначать каноническую структуру МПА символом  $U_K$ .

В настоящее время известно множество методов оптимизации аппаратных затрат в логической схеме МПА, приводящих к различным структурным реализациям автомата [3, 4].

В работе [5] предложена структура микропрограммного автомата с операционным автоматом переходов, в рамках данной работы обозначаемая символом  $U_1$  и включающая следующие блоки (рис. 2).

– ОАП: реализует функцию переходов автомата, представляемую в виде множества частных функций;

– Z: управляет работой ОАП путем формирования кода Z операции переходов, выполняемой ОАП над кодом текущего состояния в данном такте работы автомата:

$$Z = Z(T, X); \tag{4}$$

– СФМО: организована и функционирует аналогично СФМО в каноническом МПА.

Внутренняя организация ОАП представляет собой совокупность блоков ОЧ и РП (рис. 3) [6].

Здесь ОЧ представляет собой набор комбинационных схем, каждая из которых соответствует одной из операций переходов  $O_i$ :

$$O_i = O_i(T, X). \tag{5}$$

Выходы комбинационных схем мультиплексируются под управлением сигналов Z в код состояния перехода D, поступающий в РП.

В работе [7] предложена модификация структуры  $U_1$ , в которой код операции переходов определяется только кодом T текущего состояния автомата (структура  $U_2$ , рис. 4).

Здесь блок Z реализует функцию

$$Z = Z(T), \tag{5}$$

позволяя сопоставлять отдельную операцию переходов каждому состоянию автомата. По принципу функционирования и внутренней организации боков структура  $U_2$  подобна структуре  $U_1$ .

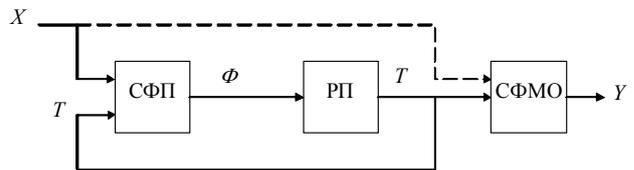


Рисунок 1 – Структурная схема канонического МПА

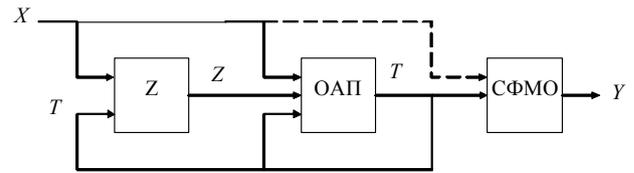


Рисунок 2 – Структурная схема МПА с ОАП  $U_1$

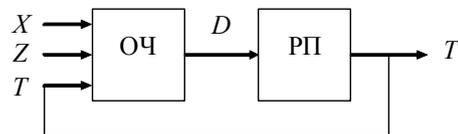


Рисунок 3 – Структурная организация операционного автомата переходов

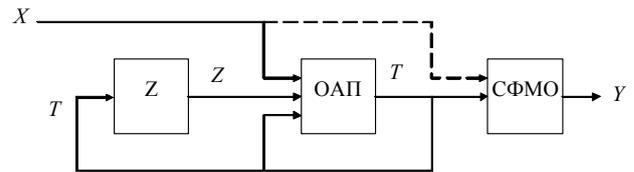


Рисунок 4 – Структурная схема МПА с ОАП  $U_2$

**3 МАТЕРИАЛЫ И МЕТОДЫ**

Обозначим численно выраженные аппаратные затраты в структурах  $U_K$ ,  $U_1$  и  $U_2$  символами  $H^{U_K}$ ,  $H^{U_1}$  и  $H^{U_2}$  соответственно. Каждая из данных величин есть сумма аппаратных затрат во всех блоках соответствующей структуры. Для канонического МПА  $H^{U_K}$  определяется выражением (6), для структур  $U_1$  и  $U_2$  – выражениями (7) и (8) соответственно.

$$H^{U_K} = H_{СФП}^{U_K} + H_{РП}^{U_K} + H_{СФМО}^{U_K}; \tag{6}$$

$$H^{U_1} = H_{OЧ}^{U_1} + H_{РП}^{U_1} + H_Z^{U_1} + H_{СФМО}^{U_1}; \quad (7)$$

$$H^{U_2} = H_{OЧ}^{U_2} + H_{РП}^{U_2} + H_Z^{U_2} + H_{СФМО}^{U_2}. \quad (8)$$

Отдельные блоки в исследуемых структурах имеют внутреннюю архитектуру, схожую с типовыми функциональными узлами, такими как комбинационная схема, регистр, мультиплексор, модуль памяти, сумматор, сдвигатель и другие. Например, в каноническом МПА блоки СФП и СФМО синтезируются по системе булевых уравнений, а РП представляет собой стандартный синхронный регистр. Исключение могут составлять узлы в блоке ОЧ, реализующие нестандартные операции переходов. Однако в большинстве случаев разбиение таких узлов на более простые не вызывает сложностей. Это дает возможность провести исследование аппаратурных затрат не для структурных блоков, а для соответствующих им функциональных узлов, отождествив полученные результаты со структурными блоками.

Исследования аппаратурных затрат выполним путем VHDL-моделирования с использованием САПР Xilinx ISE [8, 9]. В качестве единицы измерения аппаратурных затрат используем LUT-элементы, являющиеся регулярными функциональными узлами FPGA. С целью экономии LUT-элементов допускается использование базиса блочной памяти FPGA (там, где это позволяет архитектура синтезируемого блока) [10].

#### 4 ЭКСПЕРИМЕНТЫ

Исследуем аппаратурные затраты в стандартных функциональных узлах цифровых схем в зависимости от параметров узлов. Рассмотрим следующие узлы:

- комбинационная схема, реализующая систему булевых уравнений;
- мультиплексор;
- узлы, реализующие арифметико-логические операции;
- регистр.

Исследуем комбинационную схему, реализующую систему булевых уравнений.

Пусть система булевых функций, представленных в форме ДНФ, содержит  $s$  аргументов,  $t$  функций и  $q$  про-

межуточных термов. Условимся рассматривать систему, в которой каждое уравнение содержит в правой части ровно  $l$  булевых термов. Будем также полагать, что число конъюнктивных компонент в каждом терме одинаково и равно  $s$ . Также будем учитывать, что величина  $l$  не может превышать общее количество  $q$  промежуточных термов.

Затраты аппаратуры  $H_{КЛС}$  на реализацию системы булевых функций, представленных в форме ДНФ, есть сумма двух величин: затраты  $H_{\&}(q, s)$  на реализацию конъюнктивных термов и затраты  $H_{\vee}(t, l)$  на их дизъюнктивное объединение в отдельные уравнения:

$$H_{КЛС} = H_{\&} + H_{\vee}. \quad (9)$$

Поскольку функции  $H_{\&}$  и  $H_{\vee}$ , согласно аргументам, являются взаимно независимыми, каждая из них может быть исследована отдельно.

Аппаратурные затраты  $H_{\&}$ , затрачиваемые на реализацию множества термов, используемых в системе булевых функций, зависят от количества термов  $q$  и числа переменных в каждом терме. Исследуем зависимость  $H_{\&}(q, s)$ , для чего воспользуемся VHDL-моделью, в которой каждый терм связан с отдельным выходным сигналом. Пример модели для системы БФ (10) дан на рис. 5.

$$\begin{cases} y_1 = \bar{x}_1 x_2 x_3 x_4 \vee x_1 \bar{x}_2 \bar{x}_3 x_4 \vee \bar{x}_1 \bar{x}_2 \bar{x}_3 \bar{x}_4; \\ y_2 = x_1 x_2 \bar{x}_3 x_4 \vee x_1 x_2 x_3 x_4 \vee x_1 \bar{x}_2 \bar{x}_3 x_4. \end{cases} \quad (10)$$

Определим следующие условия проведения эксперимента:

- величины  $q$  и  $s$  независимо изменяются в диапазоне [10, 100] с шагом 10;
- в каждом терме количество конъюнктивных компонент одинаково и равно  $s$ ; компонентами термов могут выступать как сами входные переменные, так и их инверсные значения;
- выбор термов из множества всех возможных термов выполняется произвольным образом; при этом функция минимизации схемы (например, совместная реализация фрагментов термов) возлагается на САПР;
- определение экспериментальных значений  $H_{\&}$  осуществляется с помощью САПР Xilinx ISE 9.2i для ПЛИС типа FPGA фирмы Xilinx.

```

1  entity KLS is
2      port(x : in std_logic_vector (1 to 4);
3           q : out std_logic_vector (1 to 5));
4  end KLS;
5
6  architecture A_KLS of KLS is
7      signal nx : std_logic_vector (1 to 4);
8      begin
9          nx <= not x;
10         q(1) <= nx(1) and x(2) and x(3) and x(4);
11         q(2) <= x(1) and nx(2) and nx(3) and x(4);
12         q(3) <= nx(1) and nx(2) and nx(3) and nx(4);
13         q(4) <= x(1) and x(2) and nx(3) and x(4);
14         q(5) <= x(1) and x(2) and x(3) and x(4);
15     end A_KLS;

```

Рисунок 5 – Пример VHDL-модели для исследования зависимости  $H_{\&}$

Как показали исследования, существующие у фирмы Xilinx серии ПЛИС типа CPLD (CoolRunner-2, XC9500XL) имеют недостаточную ресурсную емкость для реализации используемых VHDL-моделей. При этом возможность использования нескольких CPLD для реализации одного проекта в рамках данных исследований не рассматривалась.

В табл. 1 приведены измеряемые в LUT-элементах значения функции  $H_{\&}(q, s)$  для ПЛИС марки XC3S1500 серии Spartan 3. Исследования показали, что для ПЛИС марки XC4VLX15 серии Virtex 4 результаты оказываются идентичными. Указанные микросхемы являются типичными представителями ПЛИС типа FPGA и имеют достаточную ресурсную емкость для реализации VHDL-модели при значениях  $q=s=100$ . Используемая VHDL-модель не имеет привязки к конкретным маркам ПЛИС, что позволяет при необходимости повторить эксперимент для ПЛИС других серий.

Дополнительные исследования показывают, что замена одних булевых термов другими (такого же размера) незначительно влияет на количество аппаратных затрат. Также незначительным оказывается использование в системе уравнений булевых термов различной длины при сохранении в пределах системы средней длины термов, равной  $s$ .

Исследования показали возможность аппроксимации содержимого табл. 1 выражением (11).

$$H_{\&} = \frac{q \cdot s}{10}. \tag{11}$$

Величину  $H_{\vee}$  в выражении (9) условимся рассматривать как функцию двух аргументов:  $H_{\vee}(t, l)$ . Для ее

экспериментального исследования воспользуемся VHDL-моделью, пример которой дан на рис. 6.

В данной модели входные порты  $q$  соответствуют булевым переменным, отождествляемым с конъюнктивными термами ДНФ. Сигналы  $y$ , подключенные к выходным портам, соответствуют булевым функциям реализуемой системы. В примере на рис. 6 система включает  $t=5$  уравнений по  $l=7$  термов в каждом, причем в уравнениях системы задействованы  $q=20$  различных булевых термов.

Исследуем зависимость  $H_{\vee}(t, l)$ . Определим следующие условия эксперимента:

- величина  $t$  изменяется в диапазоне [1, 10] с шагом 1;
- величина  $l$  изменяется в диапазоне [10, 100] с шагом 10;
- в каждом уравнении количество термов одинаково и равно  $l$ ;

– определение численных значений  $H_{\vee}$  осуществляется с помощью САПР Xilinx ISE для ПЛИС типа FPGA фирмы Xilinx, в которых аппаратные затраты измеряются в LUT-элементах.

В табл. 2 приведены измеряемые в LUT-элементах экспериментальные значения функции  $H_{\vee}(t, l)$  для ПЛИС марки XC3S1500 серии Spartan 3.

Аппроксимируем содержимое табл. 2 следующим выражением:

$$H_{\vee} = \frac{t \cdot l}{4}. \tag{12}$$

С учетом (11) и (12), выражение (9) принимает следующий вид:

$$H_{\text{КЛС}} = \frac{q \cdot s}{10} + \frac{t \cdot l}{4}. \tag{13}$$

Таблица 1 – Значения функции  $H_{\&}(q, s)$  для ПЛИС XC3S1500 серии Spartan 3, LUT

$q \backslash s$	10	20	30	40	50	60	70	80	90	100
10	23	40	59	68	82	94	108	115	126	142
20	38	70	107	140	167	188	224	238	255	276
30	49	96	133	160	199	227	251	276	300	325
40	54	114	159	173	209	251	284	324	358	382
50	67	139	191	202	257	294	343	383	420	476
60	71	147	218	228	311	357	438	462	517	552
70	76	167	234	264	351	419	480	534	598	667
80	82	180	253	322	395	453	513	593	680	720
90	94	196	301	346	476	557	624	758	779	843
100	104	215	352	414	531	630	729	826	897	948

```

1  entity KLS is
2      port(q : in std_logic_vector (1 to 20);
3           y : out std_logic_vector (1 to 5));
4  end KLS;
5  architecture A_KLS of KLS is
6      begin
7          y(1) <= q(1) or q(2) or q(3) or q(4) or q(5) or q(6) or q(7);
8          y(2) <= q(8) or q(9) or q(10) or q(11) or q(12) or q(13) or q(14);
9          y(3) <= q(1) or q(3) or q(5) or q(7) or q(15) or q(17) or q(19);
10         y(4) <= q(2) or q(4) or q(6) or q(8) or q(16) or q(18) or q(20);
11         y(5) <= q(5) or q(9) or q(11) or q(15) or q(16) or q(19) or q(20);
12     end A_KLS;

```

Рисунок 6 – Пример VHDL-модели для исследования функции

Для систем булевых уравнений с параметрами  $q, s, l, t$  фактические затраты аппаратуры могут оказаться меньше вычисленных по формуле (13) за счет минимизации. Для учета данного фактора введем в (13) специальный коэффициент  $k_1 \in (0; 1]$ :

$$H_{\text{КЛС}} = k_1(H_{\&} + H_{\vee}) = k_1 \left( \frac{q \cdot s}{10} + \frac{t \cdot l}{4} \right). \quad (14)$$

При  $k_1=1$  минимизация не приводит к снижению аппаратных затрат; при  $k_1 \rightarrow 0$  затраты аппаратуры на реализацию системы булевых уравнений стремятся к нулю.

Исследуем аппаратные затраты на реализацию мультиплексора.

Мультиплексор является частью структур U1 и U2 и отсутствует в структуре УК. В МПА с ОАП мультиплексор используется в операционной части для мультиплексирования результата, а также может встречаться в комбинационных схемах, реализующих операции переходов. В обоих случаях выходом мультиплексора является  $R$ -разрядный код состояния автомата, причем  $R$  обычно лежит в диапазоне от 4 бит (для МПА малой сложности) до 10 и выше для МПА большой и сверхбольшой сложности) [2]. При этом число мультиплексируемых направлений для мультиплексора в операционной части ОАП соответствует количеству используемых комбинационных схем и может достигать нескольких десятков.

Исследуем аппаратные затраты  $H_{MX}$  на реализацию  $r$ -разрядного мультиплексора с  $d$  направлений, для чего воспользуемся VHDL-моделью, пример которой приведен на рис. 7. Модификация модели для различных параметров  $r$  и  $d$  осуществляется путем изменения соответствующих констант в разделе package.

Исследования, подобные проведенным выше, показали возможность аппроксимации экспериментальных значений функции  $H_{MX}(r, d)$  выражением (17). Дан-

ное выражение получено на основе экспериментальных значений при включенной опции «Mux Extraction» в САПР Xilinx ISE, дающей около 10% экономии аппаратных затрат при синтезе мультиплексора.

$$H_{MX} = r \left( \frac{d}{2} + 1 - \lceil \log_2(d+1) \rceil + \lceil \log_2 d \rceil \right). \quad (15)$$

Исследуем аппаратные затраты в узлах, реализующих следующие арифметико-логические операции:

- сложение с константой, вычитание константы, инкремент, декремент;
- умножение на константу;
- деление на константу, равную степени двойки;
- логический сдвиг;
- инверсия;
- конъюнкция с константой, дизъюнкция с константой, сумма по модулю 2 с константой.

Затраты аппаратуры в данных узлах исследовались в зависимости от разрядности операнда  $r$ . По результатам исследований были сделаны следующие выводы:

- затраты аппаратуры на реализацию  $r$ -разрядных операций сложения с константой, вычитания константы, инкремента и декремента приблизительно одинаковы и составляют  $r$  LUT-элементов;
- затраты на реализацию  $r$ -разрядной операции умножения на константу при использовании встроенных в ПЛИС блоков умножения равны нулю;
- затраты на реализацию  $r$ -разрядной операции деления на константу, равную степени двойки, равны нулю;
- затраты на реализацию  $r$ -разрядной операции инверсии равны нулю;
- затраты на реализацию  $r$ -разрядных операций конъюнкции с константой, дизъюнкции с константой и суммы по модулю 2 с константой одинаковы и составляют  $r$  LUT-элементов.

Обобщив данные результаты, примем измеряемые в LUT-элементах затраты аппаратуры  $H_{\text{ОП}}$  на реализацию

```

1  package my is
2      constant r: integer := 7;  -- Разрядность выхода
3      constant d: integer := 10; -- Число входных направлений
4      type InputBus is array (0 to d-1) of bit_vector (1 to r);
5  end package;
6
7  use my.all;
8
9  Entity MX is
10     port (X: in InputBus;
11           Y: out bit_vector (1 to r);
12           sel: in natural range 0 to d-1);
13 end entity MX;
14
15 Architecture MX_A of MX is
16 begin
17     Y <= X (sel);
18 end architecture MX_A;
```

Рисунок 7 – VHDL-модель для исследования функции  $H_{MX}$

любой операции переходов в операционной части ОАП равными разрядности операнда  $r$ . Для обеспечения возможности анализа аппаратурных затрат в случае усложнения используемых операций переходов (например, при использовании в составе одной ОП нескольких арифметико-логических операций) введем коэффициент  $k_2 \in (0; \infty)$ , позволяющий масштабировать величину  $H_{ОП}$ . Таким образом, функцию  $H_{ОП}(r)$ , измеряемую в LUT-элементах, зададим следующим выражением:

$$H_{ОП} = k_2 r. \quad (16)$$

Исследуем аппаратурные затраты на реализацию регистра.

Исследования показали, что при использовании VHDL-модели  $g$ -разрядного синхронного регистра с функцией сброса в нулевое состояние затраты аппаратуры  $H_{RG}$ , выраженные в LUT-элементах, численно равны разрядности регистра:

$$H_{RG} = r. \quad (17)$$

Отметим, что помимо LUT элементов, при синтезе регистра используются триггеры, входящие, наряду с LUT-элементами, в состав функциональных блоков ПЛИС типа FPGA и не учитываемые выражением (17).

### 5 РЕЗУЛЬТАТЫ

На основании выражений (14)–(17) были построены аналитические выражения для определения аппаратурных затрат в МПА со структурами  $U_K$ ,  $U_1$  и  $U_2$ . Пусть исследуемые структуры МПА характеризуются параметрами, перечисленными в табл. 3.

Поясним некоторые параметры из табл. 3.

$k_2$  – коэффициент масштабирования аппаратурных затрат на реализацию одной операции переходов. При исследовании структур МПА с ОАП значение  $k_2$  берется одинаковым для каждой ОП, входящей в операционный автомат переходов, являясь, таким образом, усредняющим коэффициентом масштабирования.

$k_3$  – коэффициент, равный отношению числа переходов МПА с ОАП, реализуемых с помощью тех или иных операций переходов, к общему числу  $B$  переходов автомата. Соответственно, число переходов автомата, реали-

зуемых каноническим способом, равно  $(1 - k_3)B$ . При  $k_3 = 1$  все переходы автомата реализуются с помощью множества операций переходов. При  $k_3 = 0$  все переходы реализуются каноническим способом, и МПА с ОАП вырождается в МПА  $U_K$ .

$k_4$  – коэффициент, равный отношению количества условных переходов к общему числу  $B$  переходов автомата. При этом число безусловных переходов равно  $(1 - k_4)B$ . При  $k_4 = 1$  в автомате отсутствуют безусловные переходы, при  $k_4 = 0$  – условные.

$k_5$  – коэффициент, равный отношению среднего количества термов в одном уравнении системы булевых уравнений к общему числу термов, используемых в системе. Общее число термов зависит от того, что выступает в качестве аргументов системы уравнений. Например, в системе булевых уравнений, реализующей схему СФМО, общее число термов в случае автомата Мили не превышает числа переходов  $B$ , в случае автомата Мура – числа состояний  $M$ . Данный коэффициент позволяет определить для заданной КЛС значение параметра  $l$  в выражении (14). При  $k_5 \rightarrow 1$  дизъюнктивная часть системы каждого уравнения является максимально сложной, при  $k_5 \rightarrow 0$  – максимально простой. Отметим, что при  $k_5 = 1$  каждое уравнение содержит все возможные термы системы, вырождаясь в булеву функцию «константа 1». Аналогично при  $k_5 = 0$  в уравнениях системы отсутствуют булевы термы, что позволяет сопоставить каждому уравнению булеву функцию «константа 0».

В общем случае для разных систем булевых уравнений значение  $k_5$  различно. Однако в рамках проводимых исследований данный коэффициент берется одинаковым для каждого структурного блока, синтезируемого по системе булевых уравнений, являясь, таким образом, усреднением соответствующих коэффициентов для разных КЛС.

$k_6$  – коэффициент, позволяющий выразить в LUT-элементах аппаратурные затраты на реализацию КЛС (блока, синтезируемого по системе булевых уравнений), при использовании базиса блочной памяти (Block RAM, BRAM) ПЛИС типа FPGA [8].

Таблица 3 – Параметры исследуемых структур МПА

Обозначение	Описание
$M$	количество состояний
$R$	разрядность структурного кода состояния
$B$	количество переходов
$N$	количество микроопераций
$N_d$	количество комбинационных схем в блоке ОЧ операционного автомата переходов
$k_1$	коэффициент минимизации КЛС, $k_1 \in (0; 1]$
$k_2$	коэффициент сложности схем КС в блоке ОЧ, $k_2 \in (0; \infty)$
$k_3$	доля переходов, реализуемых с помощью операций переходов, от общего числа переходов $B$ , $k_3 \in [0; 1]$
$k_4$	доля условных переходов от общего числа переходов $B$ , $k_4 \in [0; 1]$
$k_5$	средняя доля термов в одном уравнении системы булевых уравнений от общего числа термов, используемых в системе, $k_5 \in (0; 1)$
$k_6$	коэффициент эффективности использования базиса блочной памяти ПЛИС FPGA по отношению к базису LUT-элементов, $k_6 \in (0; \infty)$

Значение  $k_6 < 1$  следует выбирать в том случае, если используемая ПЛИС содержит большое количество встроенных блоков памяти, не использующихся в рамках текущего проекта. В этом случае реализация КЛС в базе блочной памяти оказывается более предпочтительной, чем на LUT-элементах, поскольку относительная ценность используемых при этом ресурсов ПЛИС оказывается ниже. При  $k_6 = 1$  ценность данных базисов для используемой ПЛИС считается одинаковой. При  $k_6 > 1$  реализация КЛС в базе LUT-элементов считается более предпочтительной по сравнению с базисом блочной памяти.

Использование коэффициента  $k_6$  возможно в том случае, если:

1. Используемая ПЛИС содержит достаточное количество блочной памяти.

2. Число входных сигналов синтезируемой КЛС не превышает числа адресных входов блока памяти, которое в современных ПЛИС FPGA фирмы Xilinx не превышает 16 [8]. Например, в МПА Мура схема СФМО имеет число входных сигналов, равное  $R$ , и в случае  $R \leq 16$  (а также при достаточной разрядности строки данных для реализации множества микроопераций) может быть синтезирована в базе блочной памяти. В МПА Мили на входы схемы СФМО дополнительно подаются  $L$  сигналов логических условий, что при средних значениях  $L$  ( $L=30$ , [2]) приводит к невозможности использования блочной памяти ПЛИС для синтеза СФМО.

Подстановка параметров, перечисленных в табл. 3, в выражения (14)–(17) позволила получить аналитические выражения для определения аппаратных затрат в отдельных блоках исследуемых структур, указанных в правой части выражений (6)–(8). Например, для каждой из трех исследуемых структур аппаратные затраты в регистре памяти определяются выражением (17), где  $r=R$ :

$$H_{PI}^{U_K} = H_{PI}^{U_1} = H_{PI}^{U_2} = R. \quad (18)$$

Это позволило выразить правые части выражений (6)–(8) через параметры, указанные в табл. 3, получив в результате аналитические выражения для определения аппаратных затрат в исследуемых структурах МПА. Так, выражениям (6)–(8) в случае автомата Мили соответствуют выражения (19)–(21), в случае автомата Мура – выражения (22)–(24).

$$H^{U_K} = H_{CFPI}^{U_K} + H_{PI}^{U_K} + H_{CFMO}^{U_K} =$$

$$= k_1 \left[ \frac{B \left( (1-k_4)R + k_4 \left( R + \frac{k_4 B}{2(M - (1-k_4)B)} \right) \right)}{10} + \frac{k_5 B R}{4} \right] +$$

$$+ R + k_1 \frac{k_5 B N}{4}; \quad (19)$$

$$H^{U_1} = H_{OЧ}^{U_1} + H_{PI}^{U_1} + H_Z^{U_1} + H_{CFMO}^{U_1} =$$

$$= \left( k_2 R (N_d - 1) + k_1 (1 - k_3) k_5 \frac{B R}{4} + \right.$$

$$\left. + R \left( \frac{N_d}{2} + 1 - \lceil \log_2 (N_d + 1) \rceil + \lceil \log_2 N_d \rceil \right) \right) +$$

$$+ R + k_1 \left[ \frac{B \left( (1-k_4)R + k_4 \left( R + \frac{k_4 B}{2(M - (1-k_4)B)} \right) \right)}{10} + \right.$$

$$\left. + \frac{k_5 B \lceil \log_2 N_d \rceil}{4} \right] + k_1 \frac{k_5 B N}{4}; \quad (20)$$

$$H^{U_2} = H_{OЧ}^{U_2} + H_{PI}^{U_2} + H_Z^{U_2} + H_{CFMO}^{U_2} =$$

$$= \left( k_2 R (N_d - 1) + k_1 (1 - k_3) k_5 \frac{B R}{4} + \right.$$

$$\left. + R \left( \frac{N_d}{2} + 1 - \lceil \log_2 (N_d + 1) \rceil + \lceil \log_2 N_d \rceil \right) \right) +$$

$$+ R + k_1 k_6 \left( \frac{M R}{10} + \frac{k_5 M \lceil \log_2 N_d \rceil}{4} \right) +$$

$$+ k_1 \left[ \frac{B \left( (1-k_4)R + k_4 \left( R + \frac{k_4 B}{2(M - (1-k_4)B)} \right) \right)}{10} + \frac{k_5 B N}{4} \right]; \quad (21)$$

$$H^{U_K} = H_{CFPI}^{U_K} + H_{PI}^{U_K} + H_{CFMO}^{U_K} =$$

$$= k_1 \left[ \frac{B \left( (1-k_4)R + k_4 \left( R + \frac{k_4 B}{2(M - (1-k_4)B)} \right) \right)}{10} + \frac{k_5 B R}{4} \right] +$$

$$+ R + k_1 k_6 \left( \frac{M R}{10} + \frac{k_5 M N}{4} \right); \quad (22)$$

$$\begin{aligned}
 H^{U_1} &= H_{ОЧ}^{U_1} + H_{ПІ}^{U_1} + H_Z^{U_1} + H_{СФМО}^{U_1} = \\
 &= \left( k_2 R(N_d - 1) + k_1(1 - k_3)k_5 \frac{BR}{4} + \right. \\
 &+ R \left( \frac{N_d}{2} + 1 - \lceil \log_2(N_d + 1) \rceil + \lceil \log_2 N_d \rceil \right) + \\
 &+ R + k_1 \left( \frac{B \left( (1 - k_4)R + k_4 \left( R + \frac{k_4 B}{2(M - (1 - k_4)B)} \right) \right)}{10} + \frac{k_5 B \lceil \log_2 N_d \rceil}{4} \right) + \\
 &\quad \left. + k_1 k_6 \left( \frac{MR}{10} + \frac{k_5 MN}{4} \right); \quad (23)
 \end{aligned}$$

$$\begin{aligned}
 H^{U_2} &= H_{ОЧ}^{U_2} + H_{ПІ}^{U_2} + H_Z^{U_2} + H_{СФМО}^{U_2} = \\
 &= k_2 R(N_d - 1) + R \left( \frac{N_d}{2} + 1 - \lceil \log_2(N_d + 1) \rceil + \lceil \log_2 N_d \rceil \right) + \\
 &+ k_1(1 - k_3) \left( \frac{B \left( (1 - k_4)R + k_4 \left( R + \frac{k_4 B}{2(M - (1 - k_4)B)} \right) \right)}{10} + \frac{k_5 BR}{4} \right) + \\
 &+ R + k_1 k_6 \left( \frac{MR}{10} + \frac{k_5 M \lceil \log_2 N_d \rceil}{4} \right) + k_1 k_6 \frac{k_5 MN}{4}. \quad (24)
 \end{aligned}$$

**6 ОБСУЖДЕНИЕ**

Полученные в данной работе выражения для определения аппаратурных затрат могут быть использованы в дальнейших исследованиях при решении задачи определения области эффективного применения структур МПА с операционным автоматом переходов. Под областью эффективного применения в данном случае понимается совокупность значений или диапазонов значений параметров автомата, перечисленных в табл. 3, при которых структуры  $U_1$  и  $U_2$  обладают меньшими аппаратурными затратами по сравнению с каноническим МПА.

Практическое применение выражения (19)–(24) могут найти в САПР цифровых устройств управления, ориентированных на использование элементного базиса ПЛИС типа FPGA. Возможность аналитического определения аппаратурных затрат в различных структурах МПА позволяет автоматизировать процесс выбора оптимальной структуры МПА для имплементации заданного алгоритма управления при условии использования аппаратурных затрат в качестве критерия оптимальности.

**7 БЛАГОДАРНОСТИ**

Исследования выполнены в соответствии с приоритетным направлением развития науки и техники в Украине до 2020 года «Информационные и коммуникационные технологии» и содержат некоторые результаты НИР «Исследование эффективности микропрограммного

автомата с операционным автоматом переходов» (номер государственной регистрации 0117U004097), финансируемой за счет средств исполнителей.

**ВЫВОДЫ**

В настоящей работе для трех структур микропрограммных автоматов предложены аналитические выражения для определения аппаратурных затрат в логической схеме автомата на основании значений параметров автомата при реализации схемы в базисе программируемых логических интегральных схем типа FPGA. Результаты получены для МПА с канонической структурой и двух структур МПА с ОАП, использующих различные способы формирования кодов операций переходов. В качестве метода исследований аппаратурных выбрано моделирование типовых функциональных узлов цифровых вычислительных систем с использованием языка VHDL в САПР Xilinx ISE.

По результатам моделирования получены экспериментальные значения аппаратурных затрат на реализацию типовых функциональных узлов, выраженные в LUT-элементах, являющихся традиционной единицей измерения ресурсов кристалла ПЛИС в случае FPGA. Проведенная аппроксимация полученных экспериментальных данных дала возможность получить аналитические выражения для определения аппаратурных затрат в типовых функциональных узлах цифровых систем. Замена в данных выражениях параметров узлов параметрами автоматов позволила отождествить данные выражения с отдельными структурными блоками МПА. Результирующие выражения для определения аппаратурных затрат в исследованных структурах МПА представляют собой сумму аппаратурных затрат в отдельных блоках соответствующих структур и различаются для автоматов Мили и Мура, а также учитывают ряд особенностей проектирования и используемого элементного базиса.

Дальнейшее направление исследований состоит в использовании результатов, полученных в данной работе, при оценке эффективности рассмотренных структур МПА с ОАП в сравнении с каноническим автоматом для различных значений параметров автомата при использовании аппаратурных затрат в качестве критерия оптимальности.

**СПИСОК ЛИТЕРАТУРЫ**

1. Глушков В. М. Синтез цифровых автоматов / В. М. Глушков. – М. : Физматгиз, 1962. – 476 с.
2. Баранов С. И. Синтез микропрограммных автоматов / С. И. Баранов. – Л. : Энергия, 1979. – 232 с.
3. Баркалов А. А. Синтез микропрограммных устройств управления / А. А. Баркалов, А.В. Палагин. – Киев : Институт кибернетики НАН Украины, 1997. – 135 с.
4. Баркалов А. А. Синтез устройств управления на программируемых логических устройствах / А. А. Баркалов. – Донецк, ДонНТУ, 2002. – 262 с.
5. Бабаков Р. М. Операционное формирование кодов состояний в микропрограммных автоматах / Р. М. Бабаков, А. А. Баркалов, // Кибернетика и системный анализ. – 2011. – № 2. – С. 21–26.
6. Бабаков Р.М. Операционный автомат переходов / Р. М. Бабаков, И. В. Ярош // Сборник научных трудов Донецкого национального технического университета. Серия «Вычислительная техника и автоматизация». Выпуск 1 (28). – Красноармейск : ДонНТУ, 2015. – С. 33–40.
7. Бабаков Р. М. Формирование кодов операций переходов в микропрограммном автомате с операционным автоматом пе-

- реходов / Р. М. Бабаков, И. В. Ярош // Сборник научных трудов Донецкого национального технического университета. Серия «Информатика, кибернетика и вычислительная техника». Выпуск 1 (20). – Красноармейск, ДонНТУ, 2015. – С. 11–16.
8. Тарасов И. Е. Разработка цифровых устройств на основе ПЛИС Xilinx с применением языка VHDL / И. Е. Тарасов. – М. : Горячая линия – Телеком, 2005. – 252 с.

9. Зотов В. Ю. Проектирование встраиваемых микропроцессорных систем на основе ПЛИС фирмы Xilinx. / В. Ю. Зотов. – М. : Горячая линия – Телеком, 2006. – 520 с.
10. Максфилд К. Проектирование на ПЛИС. Курс молодого бойца / Клайв Максфилд. – М. : Издательский дом «Додэка-XXI», 2007. – 408 с.

Статья поступила в редакцию 20.04.2017.  
После доработки 22.06.2017.

Бабаков Р. М.

Канд. техн. наук, доцент, доцент кафедры прикладной механики та комп'ютерних технологій Донецького національного університету, м. Вінниця, Україна

#### ДОСЛІДЖЕННЯ АПАРАТУРНИХ ВИТРАТ В МІКРОПРОГРАМНОМУ АВТОМАТІ З ОПЕРАЦІЙНИМ АВТОМАТОМ ПЕРЕХОДІВ

**Актуальність.** Вирішено задачу визначення апаратних витрат в логічній схемі мікропрограмного автомата з канонічною структурою та мікропрограмного автомата з операційним автоматом переходів і різними способами формування кодів операцій переходів.

**Мета роботи** – отримання аналітичних виразів для визначення апаратних витрат у досліджуваних структурах мікропрограмних автоматів в залежності від параметрів автомата при використанні елементного базису програмувальних логічних інтегральних схем.

**Метод.** На основі результатів VHDL-моделювання одержані експериментальні значення апаратних витрат у типових функціональних вузлах цифрових пристроїв. У якості одиниці виміру апаратних витрат використовуються LUT-елементи, що є регулярними структурними елементами ПЛИС типу FPGA. Серед типових функціональних вузлів досліджені комбінаційна логічна схема, мультиплексор, схема арифметико-логічної операції та регістр. Шляхом апроксимації експериментальних даних отримані аналітичні вирази для визначення апаратних витрат в типових функціональних вузлах в залежності від параметрів вузлів. Шляхом заміни параметрів типових функціональних вузлів параметрами структурних блоків досліджених структур мікропрограмних автоматів виконано перетворення аналітичних виразів для визначення апаратних витрат в типових функціональних вузлах в аналогічні вирази для окремих структурних блоків автоматів.

**Результати.** Для кожної із досліджених структур мікропрограмних автоматів отримані аналітичні вирази для визначення сумарних апаратних витрат в логічній схемі автомата.

**Висновки.** Отримані аналітичні вирази враховують структурні особливості автоматів Мілі і Мура та можуть бути використані для вирішення задачі визначення області ефективного застосування структур мікропрограмного автомата з операційним автоматом переходів.

**Ключові слова:** мікропрограмний автомат, операційний автомат переходів, апаратні витрати, VHDL-моделювання, аналітична апроксимація.

Babakov R. M.

PhD, Associate professor of the Department of Applied Mechanics and Computer Technologies of the Donetsk national university, Vinnytsya, Ukraine

#### RESEARCH OF HARDWARE EXPENSES IN MICROPROGRAM FINAL-STATE MACHINE WITH DATAPATH OF TRANSITIONS

**Contex.** The problem of determining the hardware expenses in the logical circuit of a microprogram final-state machine with a canonical structure and a microprogram final-state machine with datapath of transition and various ways of generating of codes of transition operations was solved.

**Objective.** The goal of the work is the obtaining of analytical expressions for determining the hardware expenses in the investigated structures of microprogram final-state machine depending on parameters of the automaton when using the elemental basis of programmable logical integrated circuits.

**Method.** Based on results of HDL simulation, the experimental values of hardware expenses in typical functional blocks of digital devices are obtained. As a unit of measurement of hardware expenses, LUT elements, which are regular structural elements of the FPGA, are used. Among the typical functional blocks, a combinational logical circuit, a multiplexer, an arithmetic-logical operation circuit, and a register are investigated. By approximating the experimental data, analytical expressions for determining the hardware expenses in typical functional blocks, depending on the parameters of the blocks, are obtained. By replacing the parameters of typical functional blocks with parameters of the structural blocks of the microprogram final-state machines being researched, the analytical expressions to determine the hardware expenses in typical functional nodes are transformed in analogous expressions for separate structural blocks of automata.

**Results.** For each of the researched structures of microprogram final-state machines, analytical expressions for determining the total hardware expenses in the logical circuit of the automaton are obtained.

**Conclusions.** Received analytical expressions take into account the structural features of the Mealy and Moore automata and can be used to solve the problem of determining the field of effective application of the microprogram final-state machine structures with datapath of transitions.

**Keywords:** microprogram final-state machine, datapath of transition, hardware expenses, VHD-modeling, analytical approximation.

#### REFERENCES

1. Glushkov V. M. Sintez tsifrovih avtomatov. Moscow, Fizmatgiz, 1962, 476 p.
2. Baranov S. I. Sintez mikroprogramnih avtomatov. Leningrad, Energiya, 1979, 232 p.
3. Barkalov A. A., Palagin A.V. Sintez mikroprogramnih ustroystv upravleniya. Kiev, Institut kibernetiki NAN Ukraini, 1997, 135 p.
4. Barkalov A. A. Sintez ustroystv upravleniya na programiruemih logicheskikh ustroystvah. Donetsk, DonNTU, 2002, 262 p.
5. Babakov R. M., Barkalov A. A. Operatsionnoe formirovanie kodov sostoyaniy v mikroprogramnih avtomatah, *Kibernetika i sistemnyy analiz*, 2011, No. 2, pp. 21–26.
6. Babakov R. M., Yarosh I. V. Operatsionnyy avtomat perehodov *Sbornik nauchnih trudov Donetskogo natsionalnogo tehnikeskogo universiteta. Seriya: «Vichislitalnaya tehnika i avtomatizatsiya»*. Vypusk 1 (28). Krasnoarmeysk, DonNTU, 2015, pp. 33–40.
7. Babakov R. M., Yarosh I. V. Formirovanie kodov operatsiy perehodov v mikroprogrammnom avtomate s operatsionnim avtomatom perehodov, *Sbornik nauchnih trudov Donetskogo natsionalnogo tehnikeskogo universiteta. Seriya «Informatika, kibernetika i vichislitel'naya tehnika»*, Vypusk 1 (20). Krasnoarmeysk, DonNTU, 2015, pp. 11–16.
8. Tarasov I. E. Razrabotka tsifrovih ustroystv na osnove PLIS Xilinx s primeneniem yazika VHDL. Moscow, Goryachaya liniya, Telekom, 2005, 252 p.
9. Zotov V. U. Proektirovanie vstraivaemih mikroprotsessornih sistem na osnove PLIS firmi Xilinx. Moscow, Goryachaya liniya, Telekom, 2006, 520 p.
10. Maksfild K. Proektirovanie na PLIS. Kurs molodogo boytsa. Moscow, Izdatelskiy dom «Dodeka-XXI», 2007, 408 p.