

ПРИМЕНЕНИЕ КОМБИНИРОВАННОГО РЕЗЕРВИРОВАНИЯ ПРИ ОПТИМИЗАЦИИ ЭНЕРГОЭФФЕКТИВНОСТИ И НАДЕЖНОСТИ ВЫЧИСЛИТЕЛЬНЫХ СИСТЕМ

Каменских А. Н. – канд. техн. наук, доцент кафедры «Автоматика и телемеханика» Пермского национального исследовательского политехнического университета, Россия.

Тюрин С. Ф. – д-р техн. наук, профессор, профессор кафедры «Автоматика и телемеханика» Пермского национального исследовательского политехнического университета, Россия.

АННОТАЦИЯ

Актуальность. Задача повышения энергоэффективности и надежности систем управления и вычислительной техники по-прежнему остается одной из важнейших в 21-ом веке. Особенно в области аэрокосмической микроэлектроники, где требуется обеспечить устойчивость к воздействию одиночных эффектов, порождаемых заряженными частицами, и одновременно обеспечить минимальное энергопотребление, так как возможности по ее генерации существенно ограничены. При всем этом производительность остается важным параметром для разработчиков электронных устройств. Таким образом, получается сложная оптимизационная задача с варьируемыми переменными – надежности, энергоэффективности и производительности, при существующих производственных ограничениях.

Цель работы – решение оптимизационной задачи синтеза цифровых устройств, способных работать в широком диапазоне температуры и напряжения при ограничениях по надежности и производительности.

Метод. Самосинхронные схемы, обеспечивающие стабильную работу по реальным задержкам, в том числе и при ультранизком напряжении питания, зарекомендовали себя как хорошее решение для указанной выше области применения. Для повышения надежности в критических системах часто используется резервирование, например, тройное модульное резервирование, либо коды Хэмминга для схем с памятью. Однако в самосинхронных схемах применение указанных методов затрудняется высокой избыточностью и вносимой задержкой. Кроме того, стандартная модель Маллера не позволяет учитывать влияние на систему одиночных отказов или сбоев, в результате резервирование приводит к нарушению ключевого свойства самосинхронных схем – полумодулярности. В статье развивается предложенный метод резервирования на транзисторном уровне, который в сочетании с уже хорошо известными методами позволяет получить новые эффективные решения.

Результаты. Разработана модель отказоустойчивых самосинхронных схем, позволяющая аналитически подтверждать принадлежность отказоустойчивой схемы к классу самосинхронных. Предложена методика комбинированного резервирования, позволяющая проводить синтез отказоустойчивых самосинхронных схем с оптимизацией по ключевым параметрам.

Выводы. Проведенное исследование подтвердило, что только комбинированное резервирование обеспечивает достижение оптимума функций в поставленной задаче. В дальнейшем перспективно расширить объект исследования за счет синхронных и гибридных цифровых устройств.

КЛЮЧЕВЫЕ СЛОВА: энергоэффективность, надежность, отказоустойчивость, самосинхронные схемы, резервирование на транзисторном уровне, комбинированное резервирование.

АББРЕВИАТУРЫ

DVFS – dynamic voltage and frequency scaling;
БМК – базовые матричные кристаллы;
ВБР – вероятность безотказной работы;
МР – мажоритарное резервирование;
НР – схема без резервирования;
ПП – последовательно-параллельный;
РТУ – резервирование на транзисторном уровне;
ССС – самосинхронные схемы;
СССАО – самосинхронные схемы с активной отказоустойчивостью;
СССПО – самосинхронные схемы с пассивной отказоустойчивостью;
ТЭ – элемент толерантный к отказам транзисторов;
ЭН – энергозатраты/надежность.

НОМЕНКЛАТУРА

A, B, C, F – схема цифрового элемента или устройства;
 E – энергопотребление;

f – производительность;
 FT – схему отказоустойчивого цифрового элемента или устройства;
 I – индикатор окончания переходных процессов;
 k – допустимая кратность отказов;
 MJ – мажоритарный элемент;
 N – состояние спейсера;
 P – вероятность безотказной работы;
 Q – константная неисправность схемы;
 q – ограничение библиотеки элементов для заданной технологии;
 s – управляющий сигнал в самосинхронных схемах;
 SMA – предикат проверки полумодулярности, заданный на модели Маллера;
 SM_L – класс локально полумодулярных схем;
 t – время переключения схемы;
 t_p – время ремонта;
 U – напряжение питания.

ВВЕДЕНИЕ

Использование методов резервирования в микроэлектронике для таких критических областей примене-

ния как аэрокосмическая отрасль, системы управления ядерными электростанциями, медицинская, военная и т.д. является обязательным условием. Особенно актуальна задача обеспечения отказоустойчивости в космической отрасли, где аппаратура подвергается воздействию радиации, в том числе и тяжелых заряженных частиц. Общее направление развития микроэлектроники для всех производителей заключается в снижении энергопотребления не в ущерб производительности. В том числе и для аппаратуры спутников, которые существенно ограничены возможностями генерации электроэнергии.

Таким образом, на пересечении этих условий появляется актуальная научно-практическая задача, заключающаяся в необходимости одновременно с максимальным снижением энергопотребления обеспечить выполнение всех специальных требований по надежности, производительности. При этом необходимо учитывать возможности доступной элементной базы, библиотеки элементов, технологические ограничения.

Известны и хорошо апробированы методы тройного модульного резервирования и кодирования по Хэммингу. Однако, методы комбинированного резервирования развиты недостаточно, а именно комбинирование методов открывает широкие возможности для решения оптимизационных задач.

Цель работы – решение оптимизационной задачи синтеза цифровых устройств на основе комбинированного резервирования, способных работать в широком диапазоне температуры и напряжения при ограничениях по надежности и производительности.

Для достижения цели необходимо решить следующие задачи:

- разработать модели отказоустойчивых СС-схемы;
- провести анализ эффективности методов резервирования;
- разработать методику комбинированного резервирования.

1 ПОСТАНОВКА ЗАДАЧИ

Дано F , заданная графически, набором булевых уравнений, табличным методом и т.д. Получить FT с задачей $E \rightarrow \min$, при ограничениях по $P \geq P_3$, $f \geq f_3$ и $q \leq q_3$. Кроме того, дополнительно необходимо учитывать, что в ряде систем не допускается прерывание работоспособного состояния устройства для его ремонта, в таком случае используют только методы обеспечения пассивной отказоустойчивости (например, мажоритарное резервирование). Для учета этого фактора введем ограничение t_p .

2 ОБЗОР ЛИТЕРАТУРЫ

В настоящее время основным методом снижения энергопотребления является DVFS [1, 2]. © Каменских А. Н., Тюрин С. Ф., 2018
DOI 10.15588/1607-3274-2018-3-15

нако его применение ограничено, так как влияет на надежность (ВБР, помехоустойчивость, устойчивость к радиационным эффектам) [3-6]. При проведении исследования были предложены следующие основные принципы, которые задают направление исследования:

1. В работах [7, 8] показывается, что использование СС-схемы позволило снизить энергопотребление устройств относительно синхронных аналогов. Следовательно, применение СС-схемы следует расширять и на цифровые устройства для критических областей применения.

2. Применение резервирования для повышения надежности всегда увеличивает энергопотребление, но каждый метод резервирования увеличивает его в своей мере. Следовательно, все методы резервирования должны быть аккуратно и достаточно полно оценены и должны использоваться там, где это наиболее эффективно.

3. Научные исследования моделей, методов и технологий цифровых устройств для критических областей применения всегда должны быть практически ориентированными.

4. Использование методов и технологий «Зеленых» энергоэффективных вычислений может обеспечивать снижение энергопотребления, но должно быть учтено их влияние на надежность и другие важные характеристики устройства.

Руководствуясь третьим принципом основным базисом реализации выбраны БМК, которые широко применяются в микроэлектронике специального назначения [9].

Для самосинхронных схем хорошо развиты методы саморемонта и реконфигурации на основе скользящего резервирования [10]. Однако для целого ряда критических областей требуется применение методов обеспечения пассивной отказоустойчивости.

Мажоритарное резервирование один из самых популярных способов обеспечения пассивной отказоустойчивости в цифровых устройствах [11-14], оно широко применяется на самых разных уровнях от целых микропроцессоров до отдельных логических элементов. Однако использование мажоритарирования в проектах СС-устройств проблематично, так как в результате резервирования теряется основное свойство самосинхронных схем – полумодулярность. Более подробно причины этого конфликта рассмотрены в [3]. Таким образом, для корректного синтеза отказоустойчивых СС-устройств необходимо доказать их принадлежность к классу самосинхронных и разработать модель отказоустойчивых СС-схем на основе мажоритарного резервирования.

Для решения задачи оптимизации используется метод градиентной оптимизации [11]. Самосинхронные схемы проектируются с помощью метода двухфазной реализации аperiodического автомата [15]. Проверка полумодулярности и логическое моделирование осуществляется с применением программы БТРАН, разработанной в Институте проблем информатики Российской академии наук [9].

3 МАТЕРИАЛЫ И МЕТОДЫ

На основе данных логического моделирования схемы с мажоритарным резервированием был составлен граф

состояний и условия переходов. Ввиду сложности (полный граф содержит свыше 4-х тысяч состояний), на рисунках 1 и 2 представлены графы изо-

морфные исходному с точностью до эквивалентных состояний.

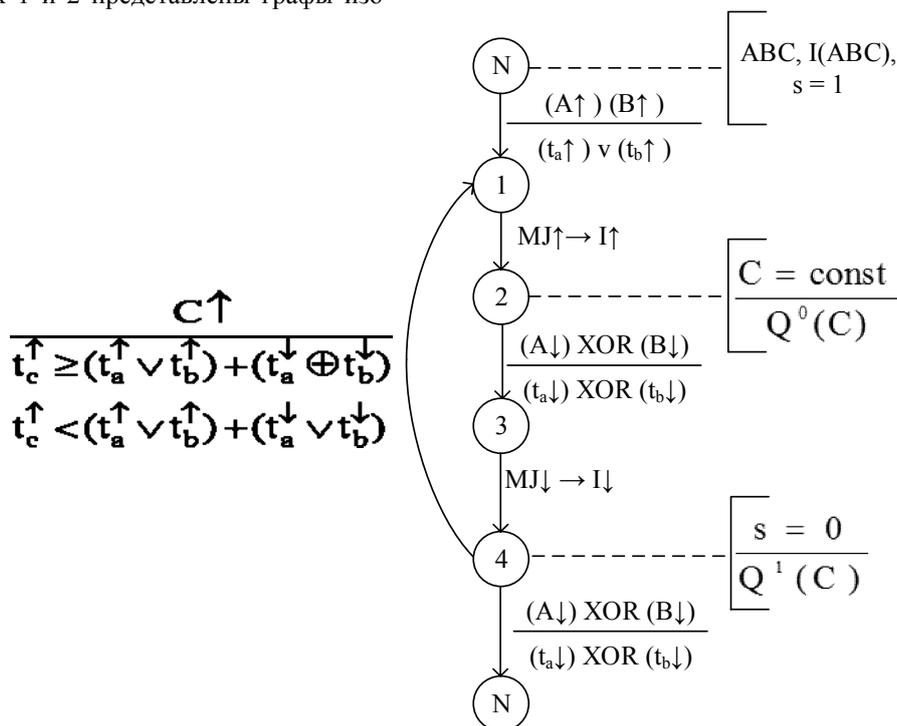


Рисунок 1 – Граф состояний отказоустойчивой СС-схемы при переходе из состояния спейсера в состояние данные, где \uparrow и \downarrow – символы перехода схемы в состояние логической единицы или нуля

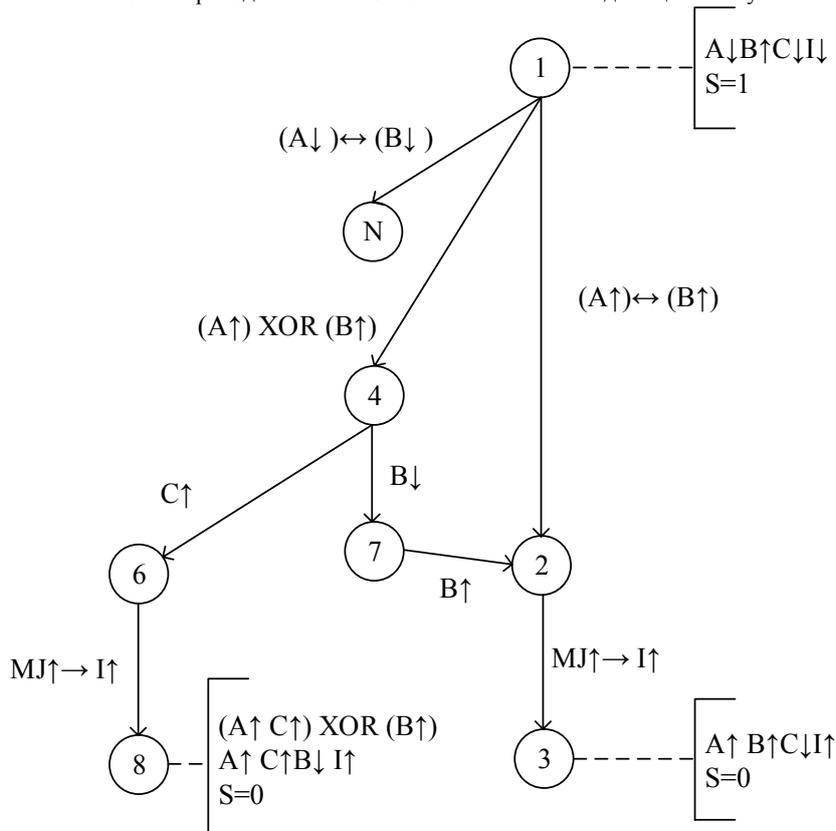


Рисунок 2 – Граф состояний отказоустойчивой СС-схемы при возврате в состояние спейсера

Нарушения полумодулярности связаны с переходом T_{4-1} . Условием этого перехода является наличие двухкратных ошибок. Таким образом, нарушение полумодулярности наблюдается тогда и только тогда, когда кратность неисправности превышает заданную или мажоритарная функция СССПО не монотонна вследствие раздельной подачи входных переменных в подсхемы. При возникновении отказа в не отказоустойчивой СС-схемы также наблюдается нарушение полумодулярности, тоже можно сказать и во втором случае: не допускается не соблюдение дисциплины сигналов.

Существующая модель Маллера не позволяет учитывать отказы и сбои, как часть нормального функционирования системы. Модель отказоустойчивых СС-схем представляет из себя усовершенствованную модель Маллера, в которой выполняются следующие правила:

Правило 1: Схема FT должна принадлежать к классу локально полумодулярных схем:

$$\forall j. [SMA(X^n, Y^j, YB^j, I^j(Y^j, YB^j), S_0)] \Rightarrow \{FT \in SM_L\}, \quad (1)$$

Правило 2: Если FT СССПО с голосованием n -из- m (кратность отказов $k=m-n$), то максимум k подсхем, в которых переход Спейсер \rightarrow Данные не завершился к моменту возврата $n-k$ подсхем в состояние спейсера, принимаются за неработоспособные (в результате отказа или сбоя), до момента возврата $n > k$ подсхем в состояние спейсера:

$$\begin{aligned} \{(A^n \uparrow) \wedge \{(A^{n-k}) \downarrow\} \Rightarrow \{Q(A^k)\} \wedge \{(A^k \uparrow \notin T_H)\}\}, \\ \{(A^n \uparrow) \wedge \{(A^n) \downarrow\} \Rightarrow Q(\emptyset). \end{aligned} \quad (2)$$

Совокупность правил 1–2 и модели Маллера дает модель отказоустойчивых самосинхронных схем.

В соответствии с поставленной задачей необходимо распределить все исследуемые методы обеспечения отказоустойчивости по их эффективности. Для качественного анализа введем комплексные показатели:

Первый показатель позволяет оценить, какие методы надежности позволяют больше снизить энергозатраты и меньше снизить надежность при изменении напряжения питания. Таким образом, получается градиентный показатель ($\mathcal{E}H'$), который отражает приращение (снижение/увеличение) энергозатрат относительно приращения ВБР (3):

$$\mathcal{E}H'_p = \frac{\delta W_f(U)}{\delta P(u, t)}. \quad (3)$$

Методы обеспечения отказоустойчивости распределяются по убыванию показателя (3), приоритет имеют методы, у которых $\mathcal{E}H'$ больше.

Второй показатель позволяет оценить не только приращение энергозатрат относительно приращения надежности, но и сами величины энергозатрат и надежности. Для того чтобы обеспечить возможность сравнения методов обеспечения отказоустойчивости, предлагается показатель (4):

$$\mathcal{E}H(U) = W_F \frac{1}{P(u, t)}. \quad (3)$$

Методы обеспечения отказоустойчивости распределяются по возрастанию показателя (4), приоритет имеют методы, у которых $\mathcal{E}H$ меньше.

В сущности, предложенная методика комбинированного резервирования (рис. 3) позволяет снизить энергопотребление отказоустойчивых устройств за счет применения наиболее эффективных методов резервирования на выделенных участках схемы. Особенностью методики является использование методов «Зеленых» энергоэффективных вычислений [1], таких как DVFS или energy-modulated computing. Если в результате резервирования ВБР и производительность выше заданного минимума, то предлагается снизить напряжение питания. Таким образом достигается оптимальный уровень энергопотребления.

4 ЭКСПЕРИМЕНТЫ

Сравнение проводилось для функционально аналогичных устройств реализованных с применением разных методов обеспечения отказоустойчивости. Рассматривались такие типовые устройства как сумматоры, умножители, регистры, счетчики, ряд комбинационных схем. Для теоретических расчетов надежности использовалась модель Вейбулла-Гнеденко. В качестве материалов взяты модели транзисторов bsim v3.3 соответствующие технологиям производства БМК 1,6 мкм и 180 нм. Результаты получены в САПР NI MultiSim с помощью методов SPICE моделирования, представленных в данном пакете.

Теоретически расчеты надежности и результаты моделирования энергопотребления и производительности, подробно описанные в [16], показали следующее распределение методов обеспечения пассивной отказоустойчивости, рис. 4.

5 РЕЗУЛЬТАТЫ

Методика была апробирована при разработке ППП-порта самосинхронного микропроцессора. Результаты получены на основе моделирования, модели транзисторов аналогичные описанным в разделе «Эксперименты», рис. 5.

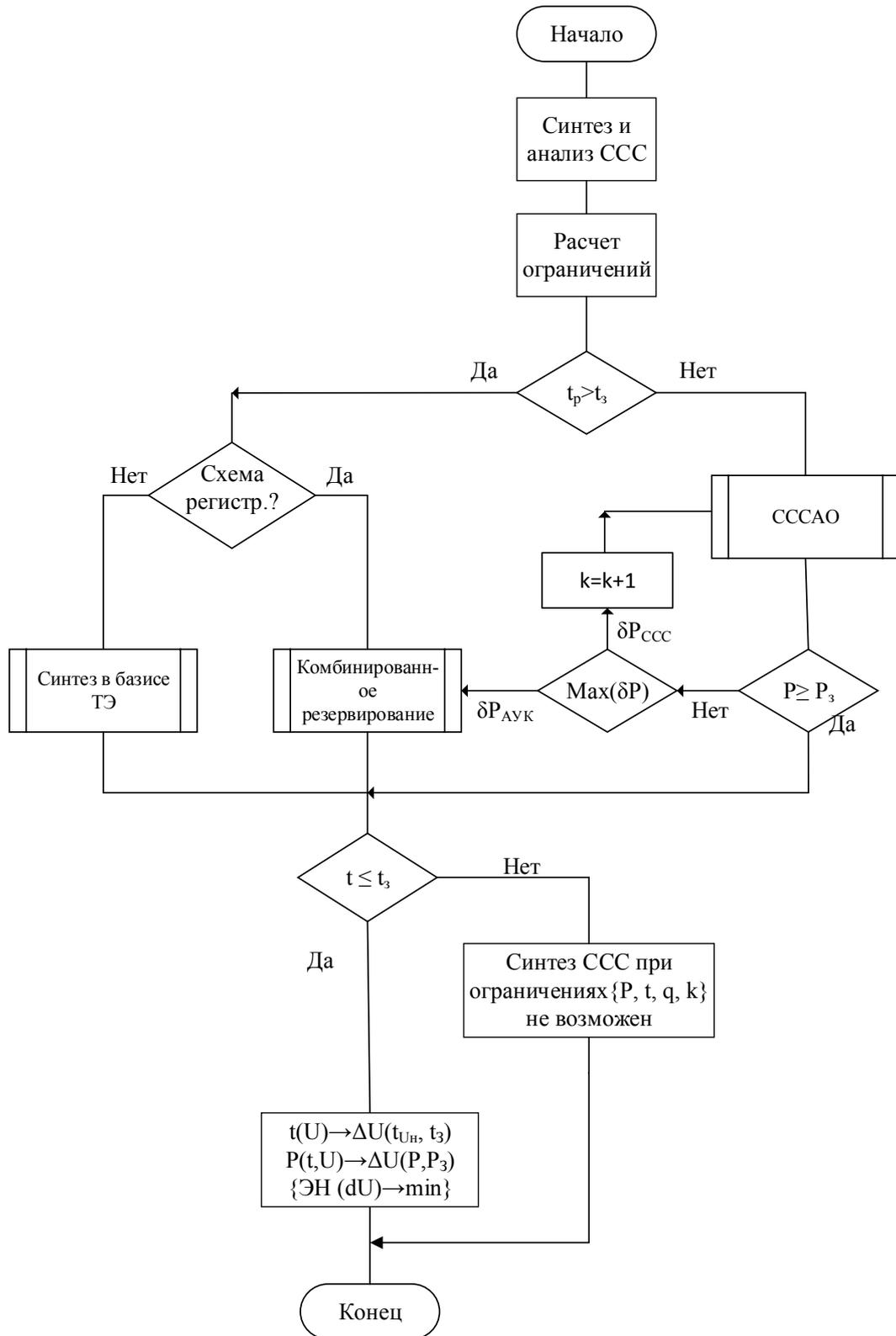


Рисунок 3 – Общая методика комбинированного резервирования

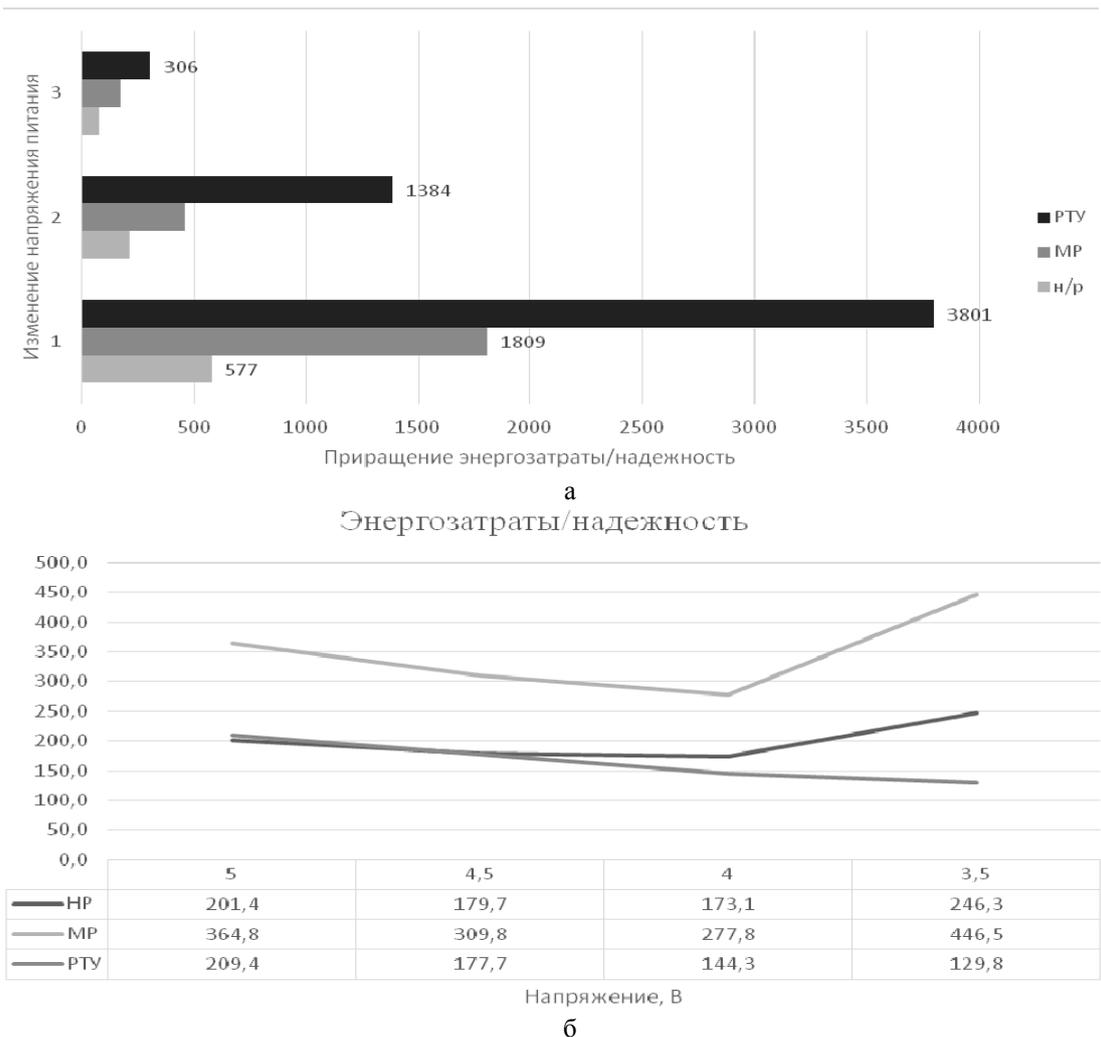


Рисунок 4 – Сравнение методов резервирования по затрату энергозатраты/надежности: а – по формуле (3); б – по формуле (4)

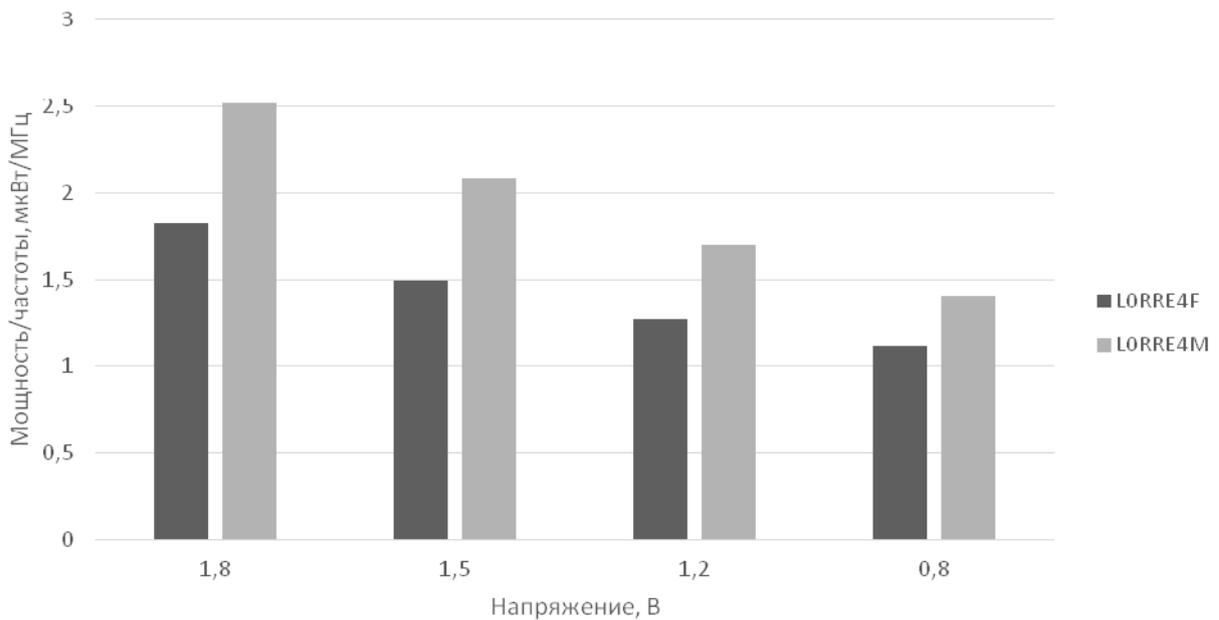


Рисунок 5 – Энергопотребление в расчете на единицу частоты ПП-порта

Последовательно-параллельный порт на основе комбинированного резервирования, основной триггер – LORRE4F, по сравнению с ПП-портом на основе мажоритарного резервирования [17]:

- быстродействие на 3–5% выше;
- мощность на единицу частоты на 25–40% ниже;
- ВБР (при нормальных условиях) выше 1,73 раза;
- аппаратные затраты – для 8-bit регистра в 1.28 раз выше.

6 ОБСУЖДЕНИЕ

Методика позволяет синтезировать отказоустойчивые самосинхронные схемы с учетом множества условий. Достижение результата подтверждается разработкой отказоустойчивого последовательно-параллельного порта самосинхронного микропроцессора. Использование одного метода обеспечения отказоустойчивости было не приемлемо в виду имеющихся ограничений, и только благодаря комбинированию методов обеспечения отказоустойчивости удалось достичь решения поставленной задачи.

Предложенная методика опирается на известные и апробированные методы обеспечения отказоустойчивости, а значит не решает главной задачи – разработки специальных методов для самосинхронной схемотехники, в дальнейшем планируется уделить этому большее внимание.

Можно отметить, что полученные оценки справедливы для методов проектирования самосинхронных схем, в синхронных и смешанных системах результаты могут отличаться. Исследование методов комбинированного резервирования в таких системах является следующей важной задачей.

ВЫВОДЫ

Самосинхронные схемы являются важным направлением развития микроэлектроники. Однако необходима разработка оригинальных методов обеспечения отказоустойчивости самосинхронных схем, так как прямое копирование таких методов из синхронной схемотехники приводит к отрицательным результатам. Исследование показало, что решение поставленной оптимизационной задачи лежит в области комбинирования методов. Для этого были разработаны – модели отказоустойчивых самосинхронных схем, проведен анализ эффективности методов обеспечения пассивной отказоустойчивости и предложена методика комбинированного резервирования, которая и позволяет синтезировать схемы в соответствии с условиями поставленной задачи ($E \rightarrow \min, P \geq P_3, f \geq f_3, q \leq q_3, t_p$)

Снижение энергопотребления отказоустойчивой цифровой аппаратуры остается актуальной задачей. Потребность в энергоэффективных отказоустойчивых устройствах будет в дальнейшем только расти. В дальнейшей работе предполагается больше вни-

мания уделить природе отказов (сбоев), в частности вопросам моделирования радиационной стойкости предложенных решений. Особое внимание в дальнейшем планируется уделить развитию методов обеспечения активной отказоустойчивости СС-схем.

БЛАГОДАРНОСТИ

Авторы выражают благодарность Вячеславу Сергеевичу Харченко и коллективу проекта TEMPUS «Green computing and telecommunications» за широкое и плодотворное обсуждение работы, а также Юрию Афанасьевичу Степченкову и коллективу Института проблем информатики Российской академии наук за предоставленные для исследования материалы.

ЛИТЕРАТУРА / LITERATURA

1. Yakovlev A. Energy-modulated computing/ A. Yakovlev // Design, Automation & Test in Europe Conference & Exhibition (DATE). – IEEE. – 2011. – P. 1–6.
2. Chung C. C. A 0.52/1 V fast lock-in ADPLL for supporting dynamic voltage and frequency scaling / C. C. Chung, W. S. Su, C. K. Lo // IEEE Transactions on Very Large Scale Integration (VLSI) Systems. – 2016. – Vol. 24, No. 1. – P. 408–412.
3. Каменских А. Н. Проблемы анализа полумодулярности и энергонадёжности Отказоустойчивых самосинхронных схем / А. Н. Каменских, Ю. А. Степченков, С. Ф. Тюрин // Электротехника. – 2015. – № 11. – С. 27–32.
4. Mukhopadhyay S. Modeling and estimation of failure probability due to parameter variations in nano-scale SRAMs for yield enhancement / S. Mukhopadhyay, H. Mahmoodi-Meimand, K. Roy // VLSI Circuits, 2004. Digest of Technical Papers. 2004 Symposium on. – IEEE, 2004. – P. 64–67.
5. Mehta N. An ultra-low-energy, variation-tolerant FPGA architecture using component-specific mapping: PhD thesis / Mehta Nikil. – California Institute of Technology, 2012. – P. 122.
6. Ghosh S. Parameter variation tolerance and error resiliency: New design paradigm for the nanoscale era / S. Ghosh, K. Roy // Proceedings of the IEEE. – 2010. – Vol. 98, №. 10. – P. 1718–1751.
7. Базис реализации супер-ЭВМ эксафлопсного класса / [И. А. Соколов, Ю. А. Степченков, Ю. А. Бобков и др.] // Информатика и ее применения. – 2014. – Т. 8, №. 1. – С. 45–70.
8. Kuang, W. Low power operation using self-timed circuits and ultra-low supply voltage / W. Kuang, J. S. Yuan // Microelectronics, The 14th International Conference on 2002-ICM. – IEEE, 2002. – P. 185–188.
9. Библиотека элементов для проектирования самосинхронных полузаказных микросхем серий 5503/5507 и 5508/5509 / [Ю. А. Степченков, А. Н. Денисов, Ю. Г. Дьяченко и др.]. – М. : ИПИ РАН, 2013. – 391 с. ISBN 978-5-91993-027-3.
10. Аппаратная и структурная организация средств контроля и восстановления в самосинхронном кольцевом канале / [В. И. Варшавский, В. Я. Володарский, В. Б. Мараховский и др.] // Автоматика и вычисл. техника. – 1989. – JS1. – С. 61–68.
11. Kamenskih A. N. Advanced approach to development of energy-aware and naturally reliable computing systems / A. N. Kamenskih, S. F. Tyurin // Proceedings of Young Researchers in Electrical and Electronic Engineering Conference (EICong-RusNW), 2015 IEEE NW Russia. – IEEE, 2015. – P. 75–77.

12. An asynchronous cell library for operation in wide-temperature & ionizing-radiation environments / [J. Brady, A. M. Francis, J. Holmes et al.] // Aerospace Conference, 2015 IEEE. – IEEE, 2015. – P. 1–10.
13. The special radiation-hardened processors for new highly informative experiments in space / [O. V. Serdin, A. A. Antonov, A. G. Dubrovsky et al.] // Journal of Physics: Conference Series, IOP Publishing. – 2017. – Vol. 798, No. 1. – P. 012010.
14. Высокопроизводительный микропроцессор 1890вм118 с архитектурой комдив для создания доверенных систем / [С. Г. Бобков, С. И. Аряшев, П. С. Зубковский и др.] // Программные продукты и системы. – 2017. – Т. 30, № 3. – С. 345–352.
15. Автоматное управление асинхронными процессами в ЭВМ и дискретных системах / [Варшавский В. И., Кишиневский М. А., Мараховский В. Б. и др.]; под ред. В. И. Варшавского. – М.: Наука, 1986. – 398 с.
16. Каменских А. Н. Моделирование влияния резервирования на энергопотребление самосинхронных схем / А. Н. Каменских // Вестник Пермского университета. Математика. Механика. Информатика. – 2015. – № 4 (31). – С. 91–94.
17. Отказоустойчивый самосинхронный последовательно-параллельный порт: варианты реализации / [Ю. А. Степченко, А. Н. Каменских, С. Ф. Тюрин и др.] // Системы и средства информатики. – 2016. – Т. 26, № 3. – С. 48–59.

Статья поступила в редакцию 06.02.2018.
После доработки 23.03.2018.

УДК 004.05

ЗАСТОСУВАННЯ КОМБІНОВАНОГО РЕЗЕРВУВАННЯ ПРИ ОПТИМІЗАЦІЇ ЕНЕРГОЕФЕКТИВНОСТІ ТА НАДІЙНОСТІ ОБЧИСЛЮВАЛЬНИХ СИСТЕМ

Каменських А. М. – канд. техн. наук, доцент кафедри «Автоматика і телемеханіка» Пермського національного дослідницького політехнічного університету, Росія.

Тюрін С. Ф. – д-р техн. наук, професор, професор кафедри «Автоматика і телемеханіка» Пермського національного дослідницького політехнічного університету, Росія.

АНОТАЦІЯ

Актуальність. Завдання підвищення енергоефективності та надійності систем управління і обчислювальної техніки як і раніше залишається однією з найважливіших в 21-му столітті. Особливо в галузі аерокосмічної мікроелектроніки, де потрібно забезпечити стійкість до впливу одиночних ефектів, що породжуються зарядженими частинками, і одночасно забезпечити мінімальне енергоспоживання, так як можливості по її генерації істотно обмежені. При цьому продуктивність залишається важливим параметром для розробників електронних пристроїв. Таким чином, виходить складне оптимізаційне завдання з варіюваними змінними – надійності, енергоефективності та продуктивності, при існуючих виробничих обмеженнях.

Мета роботи – вирішення оптимізаційної задачі синтезу цифрових пристроїв, здатних працювати в широкому діапазоні температури і напруги при обмеженнях по надійності і продуктивності.

Метод. Самосинхронні схеми, що забезпечують стабільну роботу за реальними затримками, у тому числі і при ультранизькій напрузі живлення, зарекомендували себе як рішення для зазначеної вище галузі застосування. Для підвищення надійності в критичних системах часто використовується резервування, наприклад, потрібне модульне резервування, або коди Гемінга для схем з пам'яттю. Однак в самосинхронних схемах застосування зазначених методів ускладнюється високою надмірністю і вноситься затримкою. Крім того, стандартна модель Маллера не дозволяє враховувати вплив на систему одиночних відмов або збоїв, в результаті резервування призводить до порушення ключової властивості самосинхронних схем – напівмодулярності. У статті розвивається запропонований метод резервування на транзисторному рівні, який в поєднанні з вже добре відомими методами дозволяє отримати нові ефективні рішення.

Результати. Розроблено модель відмовостійких самосинхронних схем, що дозволяє аналітично підтверджувати належність відмовостійкої схеми до класу самосинхронних. Запропоновано методику комбінованого резервування, що дозволяє проводити синтез відмовостійких самосинхронних схем з оптимізацією за ключовими параметрами.

Висновки. Проведене дослідження підтвердило, що тільки комбіноване резервування забезпечує досягнення оптимуму функцій в поставленому завданні. Надалі перспективно розширити об'єкт дослідження за рахунок синхронних і гібридних цифрових пристроїв.

КЛЮЧОВІ СЛОВА: енергоефективність, надійність, відмовостійкість, самосинхронні схеми, резервування на транзисторному рівні, комбіноване резервування.

UDC 004.05

THE OPTIMIZATION OF ENERGY-EFFICIENCY AND RELIABILITY USING COMPLEX REDUNDANCY IN COMPUTING SYSTEMS

Kamenskih A. N. – PhD, Associate Professor Of “Automation and remote control” Department in Perm National Research Polytechnic University, Russia.

Tyurin S. F. – Dr. Sc., Professor, Professor Of “Automation and remote control” Department in Perm National Research Polytechnic University, Russia.

ABSTRACT

Context. The increase of energy-efficiency and reliability of computing systems is still important task in 21st century. It is especially important in the field of computing systems for aerospace because both the radiation-tolerance should be provided and the energy-consumption are very limited. Moreover, the developers should take care about performance of a computing system. There-

fore, all of this result in difficult optimization task with key-parameters – reliability, energy-efficiency and performance in conditions of existing technologies limits.

Objective. The solution of optimization task – the synthesis of digital devices that can work in wide temperature and voltage range at restrictions on reliability probability and performance.

Method. Delay-insensitive (or Self-timed according to Russian terms) circuits can stable operate in delay variation including operation under ultra-low-supply-voltage (ULSV). That is why it became a good solution for considered task. To increase reliability in the critical fields of application, the redundancy is often used. For example, the triple modular redundancy or the Hamming codes. However, the implementing of these methods in delay-insensitive circuits faces problems – excessive increase of complexity or delays in critical paths. In addition, the Muller's model are not provide possibilities to take into account failures as normal part of system operations. Thus, the definitions of fault-tolerance and semi-modularity (the basic feature of delay-insensitive circuits) have a conflict. In the paper the method of redundancy at transistor level was developed. The combination of proposed and known methods allows receiving new efficient solutions.

Results. The model of fault-tolerant self-timed circuits was developed. The method of complex redundancy for self-timed circuits was proposed. This method provides synthesis of digital devices with optimization in key parameters.

Conclusions. The research proved that only the combination of methods provide the achievement of function's optimum. It is interesting task to expand the object of research to synchronous and globally asynchronous locally synchronous computing systems in further research.

KEYWORDS: energy-efficiency, reliability, fault-tolerant, self-timed circuits, redundancy at transistor-level, complex redundancy.

REFERENCES

1. Yakovlev A. Energy-modulated computing, *Design, Automation & Test in Europe*, March, 2011, pp. 1–6.
2. Chung C. C., Su W. S., & Lo C. K. A 0.52/1 V fast lock-in ADPLL for supporting dynamic voltage and frequency scaling, *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 2016, Vol 24, No. 1, pp. 408–412.
3. Kamenskikh, A. N., Stepchenkov, Y. A., & Tyurin S. F. Problems of analysis of semimodularity and energy-reliability of resilient self-timed circuits, *Russian Electrical Engineering*, 2015, No. 86(11), pp. 646–650.
4. Mukhopadhyay S., Mahmoodi-Meimand H., Roy K. Modeling and estimation of failure probability due to parameter variations in nano-scale SRAMs for yield enhancement, *VLSI Circuits, 2004. Digest of Technical Papers, Symposium on IEEE*, 2004, pp. 64–67.
5. Mehta N. An ultra-low-energy, variation-tolerant FPGA architecture using component-specific mapping (Doctoral dissertation. California Institute of Technology), 2012, 122 p.
6. Ghosh S., Roy K. Parameter variation tolerance and error resiliency: New design paradigm for the nanoscale era. *Proceedings of the IEEE*, 2010, vol. 98, No. 10, pp. 1718–1751.
7. Sokolov, I. A. et al. Implementation basis of exaflops class supercomputer, *Informatika i ee Primeneniya*, 2014, Vol. 8, No. 1, pp. 45–70. (In Russian)
8. Kuang, W., & Yuan, J. S. Low power operation using self-timed circuits and ultra-low supply voltage. *In Microelectronics, The 14th International Conference on 2002-ICM, IEEE*, December, 2002, pp. 185–188
9. Stepchenkov Y. A. et al. Biblioteka elementov dlya proektirovaniya samosinkhronnykh poluzakaznykh mikroskhem seriy 5503/5507 i 5508/5509 [Gates library for designing of self-timed ASIC circuits using series of uncommitted Logic Array 5503/5507 and 5508/5509]. Moscow, IPI RAN, 2013, 391 p.
10. Varshavskii V. I. et al. Apparatnaya i strukturnaya organizatsiya sredstv kontrolya i vosstanovleniya v samosinkhronnom kol'tsevom kanale, *Avtomatika i vychisl. tekhnika*, 1989, JS1, pp. 61–68.
11. Kamenskikh A. N., Tyurin S. F. Advanced approach to development of energy-aware and naturally reliable computing systems, *Young Researchers in Electrical and Electronic Engineering Conference (EIConRusNW)*, 2015, IEEE NW Russia, IEEE, 2015.
12. Brady J., Francis A. M., Holmes J. et al. (2015) An asynchronous cell library for operation in wide-temperature & ionizing-radiation environments. *Aerospace Conference, 2015 IEEE*, 2015, pp. 1–10.
13. Serdin O. V., et al. The special radiation-hardened processors for new highly informative experiments in space. *Journal of Physics: Conference Series*, IOP Publishing, 2017, Vol. 798, No. 1, pp. 012010.
14. Bobkov S. G., et al. Vysokoproizvoditel'nyy mikroprocessor 1890vm118 s arkhitekturoj komdiv dlya sozdaniya doverennyx sistem, *Programmnye produkty i sistemy*, 2017, Vol. 30, No. 3, pp. 345–352.
15. Varshavskii V. I., ed. Avtomatnoe upravlenie asinkhronnymi protsessami v EVM i diskretnykh sistemakh. Moscow, 1986, Nauka, 398 p.
16. Kamenskikh A. N. Modelirovanie vliyaniya rezervirovaniya na energopotreblenie samosinkhronnykh skhem *Vestnik Permskogo Universiteta. Seria Matematika, Mehanika, Informatika*, 2015, No. 4 (31), pp. 91–94.
17. Stepchenkov, Y. A. et al. Otkazoustojchivyy samosinxronnyj posledovatel'no-parallel'nyj port: varianty realizacii, *Sistemy i sredstva informatiki*, 2016, Vol. 26, No. 3, pp. 48–59.